

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-093837

(43)Date of publication of application : 06.04.2001

(51)Int.Cl. H01L 21/205
H01L 21/20
H01L 21/203

(21)Application number : 11-264706

(71)Applicant : CANON INC

(22)Date of filing : 20.09.1999

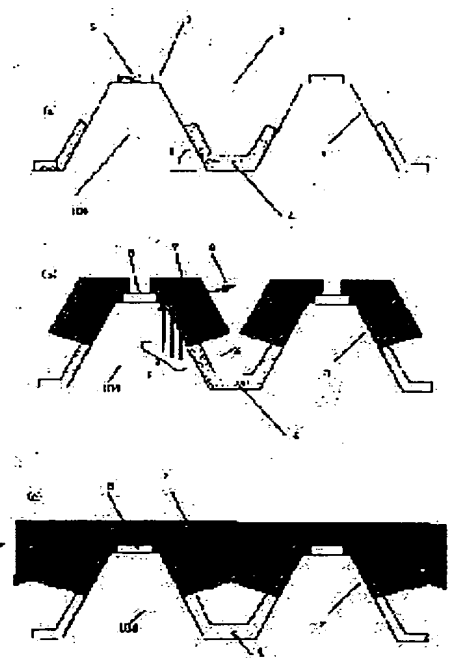
(72)Inventor : MIYAZAWA SEIICHI

(54) STRUCTURE OF SEMICONDUCTOR THIN FILM AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method and a structure of a semiconductor thin film for forming a high-quality semiconductor material having few defects without restriction of the substrate even if there is a difference in lattice constant between that of the substrate and of the semiconductor material formed thereon.

SOLUTION: A semiconductor layer comprises a semiconductor film 104 as an uppermost film with a desired lattice constant different from that of the substrate is formed on the substrate with a reference face. The structure is manufactured to a structure, having the reference face and at least one or more slant faces slanted from the reference face. Then, selective growth is started from the slant face, and a semiconductor crystal film 7 almost in lattice alignment with the semiconductor film 104 as with the desired lattice constant is formed. The semiconductor film 7 has at least partly a flat face by having it extend sidewise in parallel with the reference face.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-93837

(P2001-93837A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 1 L 21/205

H 0 1 L 21/205

5 F 0 4 5

21/20

21/20

5 F 0 5 2

21/203

21/203

M 5 F 1 0 3

審査請求 未請求 請求項の数37 O L (全 21 頁)

(21)出願番号

特願平11-264706

(22)出願日

平成11年9月20日(1999.9.20)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 宮澤 誠一

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100086483

弁理士 加藤 一男

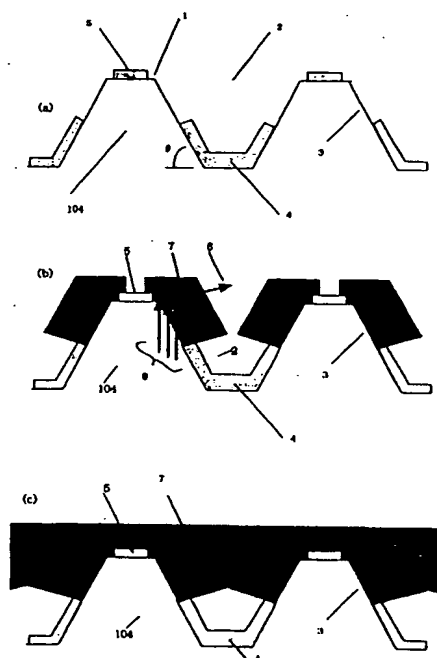
最終頁に続く

(54)【発明の名称】 半導体薄膜構造とその作製法

(57)【要約】

【課題】元の基板とその上に形成する半導体材料の格子定数が異なっても欠陥の少ない良質の半導体材料を形成でき基板に制限されない半導体薄膜構造の作製法、そうした半導体薄膜構造である。

【解決手段】基準面を持つ基板上に、基板の格子定数とは異なる所望の格子定数の半導体膜104を最上膜として含む半導体層が形成される。この構造は加工されて、基板の基準面と基準面から傾いた面を少なくとも1つ以上有する構造にされる。傾いた面から選択的に成長が発生して所望の格子定数の半導体膜104とほぼ格子整合した半導体結晶膜7が形成される。半導体結晶膜7は、基準面にはほぼ平行に横に広がることにより平坦な表面を少なくとも部分的に有する。



【特許請求の範囲】

【請求項 1】基板上に該基板の格子定数とは異なる所望の格子定数の半導体膜を最上膜として含む半導体層が形成された構造が加工されて、該基板の基準面と該基準面から傾いた面を少なくとも 1 つ以上有する構造にされた基板構造を有し、該傾いた面から選択的に成長が発生して該所望の格子定数の半導体膜とほぼ格子整合した半導体結晶膜が形成され、該選択的に成長した半導体結晶膜が、基準面にほぼ平行に横に広がることにより形成された平坦な表面を少なくとも部分的に有することを特徴とする半導体薄膜構造。

【請求項 2】該半導体層が少なくとも 2 つ以上の格子定数を持つ半導体膜を含んで形成されている請求項 1 記載の半導体薄膜構造。

【請求項 3】該半導体層の少なくとも一部分に、超格子を含んでいる請求項 1 記載の半導体薄膜構造。

【請求項 4】該半導体層の少なくとも一部分に、高濃度の不純物を含んでいる請求項 1 記載の半導体薄膜構造。

【請求項 5】該半導体層の少なくとも一部分の組成が徐々に変化している請求項 1 記載の半導体薄膜構造。

【請求項 6】該基板が (100) 面の基準面を有している請求項 1 乃至 5 の何れかに記載の半導体薄膜構造。

【請求項 7】(100) 面上に、(100) 面から $<0-1-1>$ 方向に傾斜した該傾いた面が $<0-1-1>$ 方位にストライプ状に形成されている請求項 6 記載の半導体薄膜構造。

【請求項 8】(100) 面上に、(100) 面から $<0-1-1>$ 方向に傾斜した該傾いた面が $<0-1-1>$ 方位にストライプ状に形成されている請求項 6 記載の半導体薄膜構造。

【請求項 9】(100) 面上に、該傾いた面がストライプ状に形成され、その伸びている方向と $<0-1-1>$ 軸の成す角が 45° から 80° である請求項 6 記載の半導体薄膜構造。

【請求項 10】(100) 面上に、該傾いた面がストライプ状に形成され、その伸びている方向と $<0-1-1>$ 軸の成す角が 15° から 35° である請求項 6 記載の半導体薄膜構造。

【請求項 11】該傾いた面と (100) 面の成す角度が 20° 付近より小さい請求項 6 乃至 10 の何れかに記載の半導体薄膜構造。

【請求項 12】該傾いた面と (100) 面の成す角度が 30° 付近である請求項 6 乃至 10 の何れかに記載の半導体薄膜構造。

【請求項 13】該基板が単元素基板または 2 元混晶化合物半導体から成り、該基板上に成長させる半導体層が 3 元以上の混晶化合物半導体である請求項 1 乃至 12 の何れかに記載の半導体薄膜構造。

【請求項 14】該基板が 2 元混晶以上の化合物半導体により形成されている請求項 1 乃至 12 の何れかに記載の

半導体薄膜構造。

【請求項 15】該傾いた面が、ストライプ状に平行に形成された複数の凸部の傾斜面である請求項 1 乃至 14 の何れかに記載の半導体薄膜構造。

【請求項 16】該複数の凸部の傾斜面に選択的に形成される半導体結晶膜が、1 つに繋がっている請求項 15 記載の半導体薄膜構造。

【請求項 17】該複数の凸部の傾斜面に選択的に形成される半導体結晶膜の上に他の材料の半導体結晶膜が形成され更にその上に該選択的に形成される半導体結晶膜に格子整合した半導体結晶膜が形成される請求項 15 または 16 記載の半導体薄膜構造。

【請求項 18】複数の凸部間に、該凸部の傾斜面に選択的に形成される半導体結晶膜に覆われて、基準面に対してほぼ平行に空洞が形成されている請求項 15、16 または 17 記載の半導体薄膜構造。

【請求項 19】基準面を有する基板上に基板と格子定数の異なる所望の格子定数の半導体膜を最上膜として含む半導体層を成長する工程と、該半導体層が成長した基板を加工する工程と、該加工で形成された基準面から傾いた面上に該所望の格子定数の半導体膜とほぼ格子整合した半導体結晶膜を該基準面とほぼ平行な横方向に選択成長する工程を含んでいることを特徴とする半導体薄膜形成法。

【請求項 20】該半導体層が成長した基板を加工する工程において、該傾いた面は該所望の格子定数の半導体膜またはそれを含む層をエッチングすることにより形成される請求項 19 記載の半導体薄膜形成法。

【請求項 21】該半導体層が成長した基板を加工する工程において、該所望の格子定数の半導体膜またはそれを含む層をエッチングした後、該エッチングした全面に下地と格子整合した膜を形成して該傾いた面を形成する請求項 19 記載の半導体薄膜形成法。

【請求項 22】該選択成長により形成した半導体結晶膜上に再度選択成長を施す工程を含んでいる請求項 19、20 または 21 記載の半導体薄膜形成法。

【請求項 23】該選択成長により形成した半導体結晶膜を再度加工した後、該半導体結晶膜上に再度選択成長する請求項 22 記載の半導体薄膜形成法。

【請求項 24】該選択成長により形成した半導体結晶膜を剥離する工程を含んでいる請求項 19 乃至 23 の何れかに記載の半導体薄膜形成法。

【請求項 25】該選択成長により形成した半導体結晶膜は機械的に剥離される請求項 24 記載の半導体薄膜形成法。

【請求項 26】該傾いた面に選択的に形成される半導体結晶膜の上に他の材料の半導体結晶膜が形成され更にその上に該選択的に形成される半導体結晶膜に格子整合した半導体結晶膜が形成されつつ該基板と該選択的に形成される半導体結晶膜との間に部分的に空洞が形成され、

この空洞からエッチング液を導入して該他の材料の半導体結晶膜をエッチングすることで該半導体結晶膜を剥離する請求項 24 記載の基板構造作製法。

【請求項 27】該基板と格子定数の異なる所望の格子定数の半導体膜を最上膜として含む半導体層を成長する工程において、基板と格子定数の異なる半導体膜の組成が徐々に変化している請求項 19 乃至 26 の何れかに記載の半導体薄膜形成法。

【請求項 28】該基板と格子定数の異なる所望の格子定数の半導体膜を最上膜として含む半導体層を成長する工程において、超格子を形成する工程を含む請求項 19 乃至 26 の何れかに記載の半導体薄膜形成法。

【請求項 29】該基板と格子定数の異なる所望の格子定数の半導体膜を最上膜として含む半導体層を成長する工程において、温度の変化を加える工程を含む請求項 19 乃至 26 の何れかに記載の半導体薄膜形成法。

【請求項 30】該基板と格子定数の異なる所望の格子定数の半導体膜を最上膜として含む半導体層を成長する工程において、該半導体層の少なくとも一部分に高濃度の不純物を含ませる工程を含む請求項 19 乃至 26 の何れかに記載の半導体薄膜形成法。

【請求項 31】該半導体層が成長した基板を加工する工程において、該基準面が (100) 面であり、該基準面から傾いた面と (100) 面の成す角度が 20° 付近より小さい請求項 19 乃至 30 の何れかに記載の半導体薄膜形成法。

【請求項 32】該半導体層が成長した基板を加工する工程において、該基準面が (100) 面であり、該基準面から傾いた面と (100) 面の成す角度が 30° 付近である請求項 19 乃至 30 の何れかに記載の半導体薄膜形成法。

【請求項 33】該半導体層が成長した基板を加工する工程において、該基準面が (100) 面であり、該基準面から傾いた面は (111) 面である請求項 19 乃至 30 の何れかに記載の半導体薄膜形成法。

【請求項 34】該半導体層が成長した基板を加工する工程において、該基準面が (100) 面であり、該基準面から傾いた面が延びている方向と $\langle 0-1-1 \rangle$ 軸の成す角度が 45° から 80° である請求項 19 乃至 33 の何れかに記載の半導体薄膜形成法。

【請求項 35】該半導体層が成長した基板を加工する工程において、該基準面が (100) 面であり、該基準面から傾いた面が延びている方向と $\langle 0-1-1 \rangle$ 軸の成す角度が 15° から 35° である請求項 19 乃至 33 の何れかに記載の半導体薄膜形成法。

【請求項 36】該半導体結晶膜を該基準面とほぼ平行な横方向に選択成長する工程において、該傾いた面の少なくとも一部を残して選択成長膜が形成され、該選択成長膜をマスクとして MBE 法、MOCVD 法、MOVPE 法、CBE 法、或はハイドライド VPE 法により該半導

体結晶膜が選択的に形成される請求項 19 乃至 35 の何れかに記載の半導体薄膜形成法。

【請求項 37】請求項 1 乃至 18 の何れかに記載の半導体薄膜構造を用いて構成されたことを特徴とする半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、化合物半導体材料を利用した半導体デバイス等に使用される半導体薄膜構造及びその作製法に関する。

【0002】

【従来技術】GaAs、InP 系に代表される単結晶化合物半導体材料は、高速トランジスタ、フォトディテクタ、半導体レーザ、発光ダイオード等に広く用いられ、重要な材料となっている。さらに近年、MOCVD 法、MBE 法、CBE 法などによる結晶成長法の改善により、超薄膜構成が実現され、これまでにない優れた特性のデバイスを実現させている。しかし、この様な優れた特性を有する材料でありながら、多くの化合物半導体材料はまだ未開発の状況にある。その要因は、化合物半導体を成長する為の基板が限られていることにある。

【0003】優れた特性を有する化合物半導体デバイスを作製しようとした場合、欠陥の少ない半導体材料を成長する必要がある。基板の格子定数と成長する化合物半導体材料の格子定数がずれていると、成長した化合物半導体材料に欠陥が入り、所望の特性が得られないことになる。現在実用化されている基板としては、Si、GaAs、InP、InAs、InSb 等が挙げられるが、これらの基板に整合した化合物半導体材料のみが実用化されているのが現状である。よって、任意の格子定数を有する化合物半導体材料を成長する技術は、今後の化合物半導体材料技術の発展に大きな影響力を及ぼすと考えられる。

【0004】基板の格子定数と異なった材料を成長する検討例としては、Si 基板上に GaAs デバイスを形成したものが挙げられる。Si 基板上に欠陥の少ない GaAs を成長する為に、Si と GaAs 膜の界面にこれら 2 つの材料の中間の格子定数を持つ層を形成する手法や、貫通転位を低減する為に超格子構造を入れる手法や、一旦低温で GaAs を形成した後に温度を上げて結晶化して結晶の欠陥を低温層に閉じ込める 2 段階成長法など、幾つかの格子緩和法および欠陥低減法が提案されている。これらの検討の結果、Si 基板の上に室温連続発振する GaAs 半導体レーザを実現するまでに至っている。

【0005】しかし、残念ながら寿命が短く、また特性的にも GaAs 基板上に作製した物とは大きな差があり、実用化には至っていない。この根本的原因は、格子定数の違いにより発生した欠陥を低減出来ていないことにある。

膜を加工した後に、傾いた斜面に格子整合した半導体結晶膜を形成することにより、最初の基板の格子定数に依存しない任意の格子定数を持つ良質の膜を形成すること

६७८३०

【0011】基準面が(100)面である場合、(100)面上に、(100)面から $<0-11>$ 方向に傾斜した傾いた面が $<0-11>$ 方位にストライプ状に形成されたり、(100)面上に、(100)面から $<0-11>$ 方向に傾斜した傾いた面が $<0-11>$ 方位にストライプ状に形成されたりする。ここにおいて、

(100) 面上に、傾いた面がストライプ状に形成され、その伸びている方向と $\langle 0-1-1 \rangle$ 軸の成す角が 45° から 80° であつたり、その伸びている方向と $\langle 0-1-1 \rangle$ 軸の成す角が $0-1-1$ 軸の成す角が 15° から 35° であれば、

横方向成長速度を大きくできる。この様に、傾いた面を形成する方向を面内で回転することにより、成長速度を改善し、格子定数の異なる良質な面を形成できる。

【0012】傾いた面と(100)面の成す角度を、 20° 付近より小さくしたり、 30° 付近にしたりすることで、横方向成長速度を大きくできる。

【0013】傾いた面は、例えば、(111)面であつたり、元の基板が単元素基板または2元混晶化合物半導体から成り、基板上に成長させる半導体層が3元以上の

混晶化合物半導体であったり、該基板が2元混晶以上の化合物半導体により形成されたりする。

【0014】また、傾いた面は、ストライプ状に平行に形成された複数の凸部の傾斜面であり得る。この場合、複数の凸部の傾斜面に選択的に形成される半導体結晶膜が、1つに繋がっている様にもできる。更に、複数の凸部の傾斜面に選択的に形成される半導体結晶膜の上に他の材料の半導体結晶膜が形成され更にその上に該選択的に形成される半導体結晶膜に格子整合した半導体結晶膜が形成される様にもできる。

【0015】この場合、複数の凸部間に、該凸部の傾斜面に選択的に形成される半導体結晶膜に覆われて、基準面に対してほぼ平行に空洞が形成される形態も実現できる。この空洞にエッチング液を導入して上記他の材料の半導体結晶膜を除去すること、で、所望の格子定数を持つ半導体結晶膜を剥離できる。

【0016】また、上記目的を達成する本発明の半導体薄膜形成法は、基準面を有する基板上に基板と格子定数の異なる所望の格子定数の半導体膜を最上膜として含む半導体層を成長する工程と、該半導体層が成長した基板を加工する工程と、該加工で形成された基準面から傾いた面上に該所望の格子定数の半導体膜とほぼ格子整合した半導体結晶膜を該基準面とほぼ平行な横方向に選択成長する工程を含んでいることを特徴とする。これによ

り、所望の格子定数を持つ良質の半導体結晶膜を容易に形成できる。

[9000]

【發明が解決しようとする課題】本發明の目的は、元の基板とその上に形成する半導体材料の格子定数が異なつていても欠陥の少ない良質の半導体材料を形成でき、Si、GaAsなどの2元素基板に制限されない半導体薄膜構造の作製法、そうした半導体薄膜構造等を提供することにある。

【 2 0 0 0 】

【課題を解決する手段および作用】上記目的を達成する本発明の半導体薄膜構造は、(100)面等の基準面を

持つ基板上に該基板の格子定数とは異なる所望の格子定数の半導体膜を最上膜として含む半導体層が形成された構造が加工されて、該基板の基準面と該基準面から傾いた面を少なくとも1つ以上有する構造にされた基板構造を有し、該傾いた面から選択的に成長が発生して該所望の格子定数の半導体膜とほぼ格子整合した半導体結晶膜が形成され、該選択的に成長した半導体結晶膜が、基準面にほぼ平行に横に広がることにより形成された平坦な表面を少なくとも部分的に有することを特徴とする。

れにより、最初の 1 m 等の基板の格子定数に依存しない、任意の所望の格子定数を持つ良質の半導体結晶膜を得ることができる。傾いた面に下地の半導体膜とほぼ格子整合した半導体結晶膜を横方向成長で形成するので、ミスマッチ転位の発生が抑えられると共に貫通転位の発生が抑えられて良質の半導体結晶膜を得られる。

【0008】上記基本構成に基づいて以下の様なより具体的な形態が可能である。最初の基板に所望の格子定数の半導体膜を最上膜として良好な膜質で形成する為の手法としては、該半導体層が少なくとも2つ以上の格子定数を持つ半導体膜を含んで形成されたり、該半導体層の少なくとも一部分に、超格子を含んでいたり、該半導体層の少なくとも一部分に、高濃度の不純物を含んでいたり、該半導体層の少なくとも一部分の組成が徐々に変化してたりする。

【0009】基準面は、代表的には、(100)面である。 1 n p (100)面を有する基板に 1 n g a s の組成を徐々に変化させて任意の格子定数の半導体膜を最上膜に作製し、格子定数を変えて作製した膜を加工した後に、傾いた斜面に格子整合した半導体結晶膜を形成することにより、最初の 1 n p 基板の格子定数に依存しな

任意の格子定数を持つ良質の膜を形成できたり、 G_a As (100) 面を有する基板にドーパントを高濃度ドーピングして低欠陥密度の任意の格子定数を有する膜を作製し、格子定数を変えて作製した膜を加工した後、傾いた斜面に格子整合した半導体結晶膜を形成することにより、最初の $G_a As$ 基板の格子定数に依存しない任意の格子定数を持つ良質の膜を形成できたりする。

【0010】また、S1基板に低温で膜を形成した後、熱サイクルを加えることにより、低欠陥密度の任意の格子定数を有する膜を作製し、格子定数を変えて作製した

以下の如きより具体的な方法が可能である。該半導体層が成長した基板を加工する工程において、傾いた面は該所望の格子定数の半導体膜またはそれを含む層をエッチングすることにより形成されたり、該所望の格子定数の半導体膜またはそれを含む層をエッチングした後、該エッチングした全面上に下地と格子整合した膜を形成して該傾いた面は形成されたりする。

【0018】該選択成長により形成した半導体結晶膜上に再度選択成長を施す工程を含めば、より欠陥の少ない領域を選んで選択成長を施せるので、更に良質の半導体結晶膜が得られる。この場合、該選択成長により形成した半導体結晶膜を再度加工した後、該半導体結晶膜上に再度選択成長したりする。こうして、選択成長プロセスを2度以上繰り返すことにより、より低欠陥の膜を形成できる。

【0019】該選択成長により形成した半導体結晶膜を利用の為に剥離する方法としては、該半導体結晶膜を機械的に剥離したりする。また、該傾いた面に選択的に形成される半導体結晶膜の上に他の材料の半導体結晶膜を形成し更にその上に該選択的に形成される半導体結晶膜に格子整合した半導体結晶膜を形成しつつ該基板と該選択的に形成される半導体結晶膜との間に部分的に空洞を形成し、この空洞からエッチング液を導入して該他の材料の半導体結晶膜をエッチングすることで該半導体結晶膜を剥離することもできる。

【0020】該基板と格子定数の異なる所望の格子定数の半導体膜を最上膜として含む半導体層を成長する工程において、例えば、温度の変化を加える工程を含んで膜の良質化を図ることができる。

【0021】また、該半導体結晶膜を基準面とほぼ平行な横方向に選択成長する工程において、傾いた面の少なくとも一部を残して選択成長膜が形成され、該選択成長膜をマスクとしてMBE法、MOCVD法、MOVPE法、CBE法、或はハイドライドVPE法により該半導体結晶膜が選択的に形成される様にもできる。

【0022】

【発明の実施の形態】以下に本発明の具体的な実施の形態を図を参照しつつ説明する。

【0023】（実施例1）本発明の第1の実施例を図1から図6を用いて説明する。図1をもって説明する。

【0024】図1の101である(100)面を持つInP基板上に、102に示すInGaAsを形成している。InGaAs102のGaの組成は、厚み3μmの間で0.47から0.62まで変化させ、格子定数を0.592nmから0.58nmまで変化させている。この変化によりミスフィット転位が発生し、欠陥が積層方向に伸びていく。そこで、この欠陥をなるべく低減する為に、超格子を挿入している。103が超格子で、In_{0.38}Ga_{0.62}As（厚さ5nm）とIn_{0.82}Ga_{0.18}P（厚さ8nm）の繰り返しを1

0層行っている。その上に、104のIn_{0.38}Ga_{0.62}Asを10μm成長し、表面の平坦化および、貫通転位の低減をはかった。結果として、最上層104のIn_{0.38}Ga_{0.62}As中の欠陥は10⁵cm⁻²程度となっている。この欠陥は半導体レーザなどを作製するには多く、この第1の工程だけでは不十分である。そこで、次に示す第2の工程を追加する。

【0025】図1にて作製したInGaAs膜104に通常のホテルン工程により溝を形成する。図2(a)が加工後の形状である。簡単の為に、層104より下の層103~101を省略している。図2(a)の形状の作製手順としては、まずInGaAs膜104上にレジストを塗布し、所望の構成をパターンニングする。このレジストをマスクとして、InGaAs基板104をエッチングし、凸部1と溝2を形成する。ここで使用したエッチング液は硫酸、過酸化水素水の混合液を使用している。この後、全体にSiO₂膜を形成し、ホテルン工程により、斜面部3と凸部1の肩の部分のSiO₂を除去して、溝2の底部付近と凸部1上のみSiO₂マスク4、5を残す。この工程の結果が図2(a)となる。ここでのプロセスでは、凹凸をInGaAs104中に形成したが、必ずしもこれに限る訳ではなく、層103、102まで到達してもよい。

【0026】図2(a)の様な構成を実現する別の基板加工法を説明する。リフトオフ法を用いた方法である。図6をもって説明する。図6(a)の31は図1のInGaAs層104に対応した層である。以下の説明では簡単の為に層104より下の103~101の層を省略して説明する。層31上にSiO₂32とレジスト33を塗布する。この後、図6(b)に示す様にレジスト33をパターンニングする。このレジスト33をマスクとして、SiO₂32をエッチングする。この時、オーバーエッチングし、レジスト幅より狭くする。この狭くしたSiO₂32をマスクとして図6(d)の34に示す様に基板であるInGaAs31をエッチングする。さらに、凸部の肩部分にInGaAs31の(100)面を露出する為に、図6(e)の32に示す様にSiO₂をサイドエッチングする。

【0027】この後、図6(f)の35に示す様にSiO₂を全体に蒸着する。例えば、スパッタとかプラズマ法などで形成する。最後に、図6(g)の様にレジスト33のリフトオフで図1に示す様な構成が完成する。この様な手法によっても図2(a)の構成を作製できる。

【0028】図2(a)について詳しく説明する。1はエッチングにより残した凸部で、凸部上面の面指数は(100)面である。2は溝である。幅は溝上部で10μmとし、エッチングの深さは5μmとしている。3はエッチングにより形成された面で、組成は図1の層104と同じとなる。ここでは、(100)面と斜面部3の角度θは約45°となる。尚、面3の角度は45°に限

るわけではない。(100)面から傾いていることが重要である。4、5は選択成長膜を実現する為のマスクである。ここでは、 SiO_2 を使用している。厚みは50nmである。選択成長膜には SiN_x なども使用可能であり、選択性があれば誘電体に限らない。例えば、誘電体膜だけではなく金属などでもよい。この誘電体膜4、5は斜面からの成長を促進させる目的で形成されている。

【0029】この様な構成を持った基板に InGaAs を成長した例を図2(b)をもって説明する。図2

(b)は図1に示した基板上に InGaAs 膜7をCBE(有機分子線エビタキシャル)法を用いて成長したところである。基板温度は500℃として、TMIを2.5sccmとし、TEGを2.5sccmとし、 AsH_3 を2sccm流しながら成長している。基板は毎分30回転させている。 InGaAs の成長は、 SiO_2 4、5が有る部分では成長せず、 InGaAs が露出している斜面部3に対応した所に成長する。

【0030】この斜面部3の部分の InGaAs は、先にも述べた様に図1の層104と同じ組成である。この成長は、図2(b)の矢印6に示す様に、斜面部3から横方向に成長する部分が主となる。成長させている InGaAs 7は斜面部3の部分の InGaAs と格子整合しているものとしている。

【0031】この手法のメリットは、欠陥を低減できることにある。図1で説明した様に、図1の層101との層102、103の格子不整合により104の層には欠陥がある。この欠陥は垂直方向には伸びるが横方向には伸びない傾向を示す。よって、図2(b)の6で示す横方向に成長させると、図2(b)の矢印8に示す様に垂直方向には欠陥が伝搬するが、横方向には欠陥は伝搬せず、溝2上に形成される InGaAs 膜7には下地である斜面部3中の欠陥が形成されないこととなる。

【0032】さらに、先にも述べた様に下地である斜面部3の InGaAs と7の InGaAs は格子整合している為、ミスフィット転位は発生しない。この結果、欠陥のない膜が溝2に対応した部分に形成されることとなる。溝2を広く取るにより広い範囲で欠陥の少ない膜7を得られる。尚、横方向成長させる膜7は下地である斜面部3と同じ InGaAs 材料に限定されるわけではない。下地である斜面部3と横方向成長層7は格子定数が整合していれば、材料、組成は限定されず、成長可能なものであれば使用可能である。

【0033】ところで、図2(c)にも示した様に、

(100)面を凸部1の肩の部分に残している理由は、表面の平坦化を補助する為である。(100)面は成長途中で発生するが、初期からあった方が平坦化が促進される。最終的な構成としては図2(c)に示した様な構成とし、7に示す様に結合し表面は平坦化させる。

【0034】以上説明した様に、最初に、平坦な基板上

に、該基板とは格子整合せず任意の格子定数を持つ膜を厚く積み、こうして作製された歪みを緩和させた層を加工し、斜面部に横方向成長させることにより、初期基板(図1の101)とは異なる任意の格子定数を持つ良質の半導体結晶が得られる。尚、 InGaAs の組成は供給材料の調整、基板温度の制御等により任意に制御可能である。加えて、斜面部から横方向に成長する InGaAs の膜質を更に良くする方法としては、図1で説明した下地基板を作製する時に使用した超格子構造を挟むことも有効である。

【0035】この成長を広い範囲で行う手法について記述する。図2(a)に示した断面構成を有した構成を、図3の9に示した様にストライプ状に形成する。埋め込むことを考慮した場合は、ピッチを制御しておく必要がある。ここでは<0-11>方向に形成した。この例では、15 μm ピッチで形成し、溝間は10 μm である。この様に等間隔に形成しておくことにより、基板全体を埋めることが可能となる。尚、ここでは図2(c)に示す様に埋め込んだが、必ずしも埋め込まずとも使用可能である。たとえば、図2(b)で示した部分的に形成した膜7を、別の基板に転写することにより、基板とは格子定数の異なる領域を部分的に形成することが可能となり、その上にデバイスを作製することも可能である。

【0036】この他の基板の加工方法としては、たとえば図4(a)、(b)、(c)などが考えられる。図4(a)は、凸部の平坦部(図1の部分1を参照)を除去した構成であり、(100)面からの欠陥の発生を抑制できる。また、(100)面からの斜面部11の角度も低減している。作製効率を考えた場合、斜面部の成長速度を上げることが必要である。図5(a)はCBE成長法またはMBE法で GaAs を成長した場合の、(100)面上の成長速度と(100)面から傾けて行った時の成長速度について示したものである。(100)面から傾けた角度が20°付近に速度の遅い面が形成されるが、その前後では成長速度は上がり、横方向成長には望ましい構成である。特に、20°以下の斜面で最も早い成長速度が得られ、望ましい構成である。CBE法などではA面とB面の成長速度差は比較的小さく同じ傾向を示すが、他の方法では異なる。

【0037】図5(b)はMOVPE法で GaAs を成長した場合の(100)面上の成長速度と(100)面から傾けて行った時の成長速度について示したものである。(100)面から傾けた角度が25°付近に成長速度のピークが形成され、それ以降の角度では成長速度は低下している。(100)面となす角度が45°以下程度の面を用いることが、成長速度が早く、望ましいと考えられる。MOVPEでは、A面、B面の差が比較的大きく、A面(Ga が露出しやすい)の方が速度が早い。

【0038】図5(c)はハイドライドVPEおよびク

ロライドVPE法でGaAsを成長した場合の成長速度の面依存性を示している。A面上への成長では(111)面の成長速度が早く、横方向成長には適していると考えられる。B面方位では(311)面が速度が早く、望ましい。つまり、成長速度の早い面は成長法により異なり、成長法に従って構造に反映させていくことが必要である。これらの成長速度依存性は、材料に大きくは依存せず、同様の傾向を示す。

【0039】図4(a)の横方向成長用基板の作製法としては、レジスト塗布後、InGaAsのサイドエッチングを利用し、△状の凸部11を作製する。この基板にSiO₂12を50nm程度形成し、更にレジストを塗布し、O₂アッシングにより△状凸部11の山の部分のみ頭出しを行う。この後、ウェットまたはドライによりSiO₂をエッチングし、図4(a)の様な構成を作る。

【0040】図4(b)は底部15の選択マスクを除去した構成である。溝の深さ13が成長膜厚にくらべ十分に大きければ、ブリッジ状に成長した膜が底部15に成長する膜の影響を受けずに済む、よって、図4(b)の様に斜面14の下方の一部に選択マスク16を残した構成も考えられる。

【0041】図4(c)は、凸部の平坦面である(100)面の影響を受けない為にSiO₂17で全体を覆った構成である。斜面19の下方部と底部も選択マスク18で覆われている。この構成も同様に(100)面からの核の発生を抑制できる。

【0042】また、成長膜としては先にも述べた様に実施例1で示したInGaAsに限られるわけではない。本手法の主旨は、基板と格子定数の異なる良質の膜を形成することにある。よって、成長膜としては、第1の工程で成膜された最上面層と格子定数が合えば、Siや、InP、GaSb等の2元系や、InGaAs、GaAsP、InGaP、GaAsSb、InAlAsなどの3元混晶や、AlInAsP、InGaAsP、InGaAsAlなどの4元混晶が挙げられる。特に格子定数の制御が可能な3元混晶、4元混晶、5元混晶以上は望ましいものである。基本的に成長可能な材料であればよい。また基板としては、InPだけではなく、Si、GaAs、InSb、サファイア、GaN等でもよく、特に限定されない。

【0043】また、成長の手法としては、CBE法の他に、MBE法、MOCVD法、ハイドロライドVPE法などが挙げられる。ただし、図2(b)に形成される溝部への廻り込みを抑制する為、最も望ましい手法としてはビーム系の手法である。具体的にはMBE法、CBE法が挙げられる。

【0044】以上説明した様に、第1の工程として、一旦平坦な基板上に目的とする格子定数を有する膜を形成し、その後、第2の工程として、この膜を加工して形成

された斜面部に横方向成長させることにより、垂直方向に進む欠陥を低減し、所望の格子定数を有する任意の膜を形成することが可能となった。

【0045】(実施例2)図7(a)、(b)と図8を用いて第2の実施例を説明する。実施例2の特徴は、第1の工程で作製する任意の格子定数を有する膜をInGaAsPとする事、第1の工程でドーパントを高濃度ドーピングすることにより膜質を改善している事、および斜面を有したストライプを形成する伸長方位を実施例1の<0-11>ではなく<0-1-1>に取った事である。

【0046】図7(a)は第1の工程である所望の格子定数を持つ平坦な膜を形成する工程を説明する図である。111は元の基板である所の(100)面を持つGaAsである。この上に、112のInGaAs層(厚み5μm)を形成している。この層112では、GaAsの組成から徐々にInを増加させて、Ga組成0.62まで到達させている。この後、層113を、InGaAs層にSeを高濃度($5 \times 10^{19} \text{ cm}^{-3}$)ドーピングして形成している。Seの高濃度ドーピングにより、InGaAs113の平坦化が促進され良質の膜が形成される。ドーピングは $1 \times 10^{19} \text{ cm}^{-3}$ 以上が望ましい。この上に、さらに、114のInGaAsとInGaAsPの超格子層を20層形成して、積層欠陥の低減をはかっている。最後に、115に示すInGaAsPを20μm成長して、第1工程を終了する。

【0047】この後は、実施例1にて示した様に横方向成長を実現するために、基板を加工する。図7(b)をもって説明する。図7(a)の最表面であるInGaAsP115に、通常のホテルソ工程により溝42を形成する。通常、この方位は逆メサ形状が形成されることが一般的であるが、硫酸系を使用することにより図7

(b)に示す様な△形状の面を形成できる。△形状を形成した後、全体にSiO₂膜を形成し、ホテルソ工程により凸部上方部のSiO₂を除去している。

【0048】図7(b)の41はエッチングにより形成した斜面で、(100)面との角度は30°とした。42は溝である。山の間隔は50μmとしている。尚、41の面の角度は30°に限るわけではない。(100)面から傾いていることが重要であり、成長速度が早い面が理想的である。43は選択成長膜を実現する為の底部44付近に形成されたマスクである。ここでは、SiNxを使用している。その膜厚は200nmとしている。

【0049】この様な構成を持った基板にInGaAsPを成長した例を図8をもって説明する。図8は図7(b)に示した基板上にInGaAsP膜45をMOCVD法を用いて成長したところである。TMIとTEG、AsH₃、PH₃を用いて成長している。InGaAsPは、SiO₂が有る部分43では成長せず、下地のInGaAsP115が露出している部分から成長す

る。この結果、図7(b)の41に示す斜面部から成長が発生し、図8に示す様に、お互いに接合しほぼ平坦化する。成長させているInGaAsP45は斜面部41のInGaAsPと格子整合している。

【0050】本実施例も、実施例1と同様に、斜面から発生した横方向成長であるため欠陥は伝搬せず、成長した膜には欠陥が及ばない。また、斜面部41の結晶と45の結晶は格子整合してる為、ミスフィット転位も発生しない。よって、溝部42上の膜42には欠陥のない良質の膜が形成される。

【0051】さらに、横方向成長させるInGaAsPの膜質を向上させる手法としては、図7(a)にて説明した下地基板を作製する際のSeのドーピングを行ってもよい。尚、InGaAsP45の組成は、供給材料の調整、基板温度の制御等により任意に制御可能である。この様な断面構成を有した構成をGaAsウエハに、 $\langle 0-1-1 \rangle$ 方位に沿ってストライプ状に形成しておくことにより、基板全体を埋めることが可能となる。

【0052】以上説明した様に、実施例1に示したInGaAs膜だけではなく、InGaAsPの四元系においても、平坦面に積層する第1の工程と、第1の工程で作製した膜を加工し、横方向成長により埋め込む第2の工程とにより、良質の膜を形成できる。また、基板の加工方位も順メサ方向に固定されるわけではなく、加工法を選ぶことにより逆メサ方向 $\langle 0-1-1 \rangle$ も選択できる。尚、ドーパントはSeに限るものではない。Si、Be等も使用可能である。

【0053】(実施例3)図9から図11を用いて本発明の第3の実施例を示す。実施例3は、第1の工程で作製した膜を加工した後、その上に成長し、(100)面となす角度が緩やかな斜面を形成する工程を含む実施例である。図9は第1の工程について説明している。121は基板であるところのSiである。この上に、Siと格子整合していないInGaP122を低温にて直接形成し、PH₃をあてながら基板温度を700℃と400℃の間を上げ下げしている。この手法によりInGaP122の結晶化を促進すると共に、Si121との格子緩和をはかっている。この後、InGaAs膜(厚さ10nm)とInGaP膜(厚さ10nm)を10回繰り返して形成した超格子層123を形成し、最後に、124に示すInGaPを5μm形成する。この結果、最上層に良質のInGaPを得ることができた。この後、InGaP124をウェットエッチングにより加工した。

【0054】図10と図11を用いて本実施例の第2工程を説明する。図10の61は第1の工程の説明で示した最上層124である。InGaP61を加工することにより、ウエハ内に高さ約1μmの三角状の突起62を設けている。この突起62の斜面の角度は45°と比較的大きい。本成長法はCBE法で成長している為、横方向の成長速度の早い(100)面となす角が20°以下

の斜面を形成する為に、InGaP61と格子整合したInGaPの成長を行っている。図10の63、67はそれぞれ厚さ0.5μmずつInGaPを成長した時の成長形状の変化を示す。成長が進むに従い形成される斜面の角度は緩くなり、最終的な斜面64の角度は20°以下となっている。

【0055】図11に示す様に、この上にSiO₂のマスク65を形成した後、InGaPに整合したInGaAsP66を成長した。成長はCBE法を用いてTM1、TEG、AsH₃とPH₃で行っている。斜面64への横方向成長によりSiO₂65上に成長したInGaAsP膜66には良質の結晶が得られた。一方、(100)面69上に形成された部分は貫通転位が形成されるが、この部分に関しては使用しないので問題ない。

【0056】以上説明した様に、CBE法を用いた場合は、成長により斜面の角度を低減した結果、より成長速度の早い面を得ることが可能となった。他の成長方法の場合は斜面の角度等の構成が異なる。

【0057】(実施例4)第4の実施例は、第2の工程における基板の加工方法について工夫した例である。ウエハ面内でストライプを形成する方位を回転させることにより、より横方向成長速度の早い面を出し、ストライプ間の溝の埋め込みを実現した例である。

【0058】図12を説明する。70は(100)面を持つGaAsウエハを上から見たものである。この上にSiO₂マスクを形成し、その上のInPの横方向の成長速度を評価した。71は方位 $\langle 0-1-1 \rangle$ を示し、72は $\langle 0-11 \rangle$ を示している。71の方位から72の方位に、73の矢印の様に方向を変えて成長速度を測定した。結果を図13に示す。

【0059】縦軸は成長速度で、横方向は図12に示す角度θである。横方向の成長速度は、 $\langle 0-1-1 \rangle$ 方位から離れるに従い上がり、10°から45°付近でピーク74を持つ。45°付近で低下し、それを過ぎると55°から75°付近で2つ目のピーク75を持つ。この結果から、横方向の成長速度は、ストライプの方位が10°から45°と55°から75°を取るときに早いことが分かる。

【0060】そこで、実施例1と同じ第1の工程を経た膜を、この方位に斜面ができる様にストライプを形成し、InGaAsを成長させた。図14をもって説明する。ストライプを77に示す様に傾けると、ストライプの斜面が横方向の成長面となる。78の方向から見た断面形状は、図2(a)とほぼ同様の構成となり大きな差はなかった。その斜面の成長速度は、 $\langle 0-1-1 \rangle$ 方向への成長速度よりも、約2倍早く溝を埋めることが出来た。

【0061】以上説明した様に、ストライプの方向を変え、成長速度が早い面を斜面に出すことにより、埋め込みを早くすることが可能となる。

【0062】(実施例5)第5の実施例は、第2工程後の基板の転写法について記述する例である。図15と図16(a)、(b)を用いて説明する。図15において、81は第1の工程を経た基板であるところのInGaP膜である。加工の形状は、溝底部にSiO₂を形成した構成である。83は下地81と格子整合した格子定数0.58nmのInGaPであり、84はAlGaInAsであり、85はInGaPでありこれは下地のInGaP膜83に整合している。

【0063】AlGaInAsとInGaPは、硫酸系エッチャントで選択性がある。よって、82の空洞領域からエッチング液を入れ、88の隙間部分からAlGaInAs層84をエッチングすることにより、InGaP85を剥離して利用しようとする考えである。剥離する際は、図16(a)に示す様に基体となる87、例えばSi、InP、ガラス等に図15で示す基板構造86全体を貼り付けた後に、エッチング液でAlGaInAs84をエッチングする形となる。結果として図16(b)に示すように、基体87にInGaP85が形成できる。

【0064】図15に示した様に、本実施例により形成される任意の格子定数を持つ膜83は、ブリッジ状に結晶が形成される為、隙間82からエッチング液を入れることが可能となる。よって、容易に任意の格子定数を有した基板85を、例えばガラスの上に形成して、SOIを実現したり、Si等の半導体基板上に良質の膜を形成することが可能となる。

【0065】基本的な考えは、選択性のある膜を積層構成し、エッチングすることにより、図15に示したInGaPとAlGaInAsの組み合わせに限定している訳ではない。選択性のある組み合わせを設定することが重要である。

【0066】以上説明した様に、加工した基板の斜面上に横方向成長により膜を形成し、空洞を形成することにより、エッチング液を導入することが可能となる。この結果、良質の膜をウェットエッチングというダメージの少ない形成法で作製することが実現可能となる。尚、ここではウェットエッチング法を用いたが、機械的に剥離してもよい。図15にも示した様に空洞82があることから機械的にも弱いと考えられる。よって、剥離可能であり、比較的容易に実現可能である。

【0067】図16(b)で転写した格子定数0.58μmのInGaP膜85を用いて、キャリア閉じ込めの良く高温動作を実現した半導体レーザの例を共振器方向断面図である図17を用いて示す。図17において、91はInGaPを含んだ基体である。この上に、92に示すクラッドであるn-In_{0.35}Al_{0.65}Asを形成している。InPに整合した場合にはこの組成を使うことが出来ない。InPに整合した時よりAlの組成が増加している結果、InAlAsのバンドギャップ

は約0.55eV増加している。この上に、93に示す光閉じ込め層n-In_{0.48}Ga_{0.38}Al_{0.14}Asを形成する。94は活性領域で、この領域に活性層98とバリア層99が含まれている。活性層98はn-In_{0.53}Ga_{0.47}Asを含んでおり、圧縮歪みが1.2%入っている。この活性層98を挟む様にバリア層99を2層構成で形成している。このバリア層99は光閉じ込め層93と構成は同じで、ドーピングはしていない。この上に、95に示す上部光閉じ込め層であるp-In_{0.48}Ga_{0.38}Al_{0.14}Asを形成した後に、96に示す上部クラッド層であるp-In_{0.35}Al_{0.65}Asを形成する。最後に、97に示すp-In_{0.38}Ga_{0.62}Asを形成した構成となっている。

【0068】この構成のメリットは、格子定数を0.58nmと小さくすることが可能となった為、クラッド92、96にバンドギャップの大きなInAlAsが使用可能となり、伝導帯の活性層98とバリア層99のエネルギー差ΔEcを0.54eVと大きくとれる。その為、電子の閉じ込めを改善でき、高温時におけるキャリアの漏れが少なく安定動作可能なレーザが実現できる。尚、一般的に用いられているInGaAsPバリアの伝導帯の活性層とバリア層のエネルギー差は0.15eVと小さく、温度特性が悪い。この様に、格子定数を制御することで、光デバイスおよび電子デバイスの特性を改善することが出来る。

【0069】尚、ここでは図16(b)に示した転写したInGaP膜85上へレーザ構成を形成したが、図15の基板構造上に直接半導体レーザを成長してもよい。

【0070】(実施例6)第6の実施例は、第1の工程、第2の工程を経て作製された任意の格子定数を持つ膜を、より欠陥の少ないものにする為の工程を含む例である。図18は図15と同様の構成を示す図である。この構成で、斜面部131に示す領域の垂直方向の膜は下地層(InGaP)81からの欠陥が伝搬することが多く、最上層85の斜面部131の垂直方向に対応した領域132は部分的に質が落ちる。本実施例はこれを低減する工程を含むものである。

【0071】図19をもつて説明する。図19は、図18の構成をより広い視野で見た図である。81は図18と同じくInGaPの凸部を示しており、82は溝部を示している。133はSiO₂である。81の斜面部の垂直方向にある層85は欠陥が入り質が低下するので、図19に示す様に、凸部81上に対応する領域にSiO₂134を形成し、欠陥が入っている部分からの成長を抑制し、欠陥密度が少ない領域135からの成長を選択的に行う様にする。この結果形成された136の層は、より欠陥が少ないものとなる。尚、領域136と領域135の格子定数は基本的に同じである。ただし、領域136が薄い場合に多少組成がずれて歪みが入っても、欠

陥が入らなければよい。

【0072】この様に、図18に示す層85上に、 SiO_2 を用いてマスク134をし、良質の膜のみを選択成長することにより、欠陥をより低減することが出来る。

【0073】図20(a)、(b)は同様の目的の他の工程を示す。図20(a)は、図18の最上層85を別基板に転写した後の図である。87に示す基板は、 Si 、 InP 等の半導体やガラスでよい。図20(a)に示した層85中の141は、図18にて説明した欠陥の入り易い凸部81に対応した領域を示している。この欠陥の入り易い領域からの成長を抑制する為に、図20(b)では、この領域141をエッチングして除去し、欠陥の入っていない領域144のみを図20(b)に示す様に台形状に形成している(145はこのエッチング部に形成した SiO_2 のマスクである)。この後は、選択成長により台形斜面からの横方向成長142を行って欠陥のない膜143を形成する。当然のことながら144の膜と143の膜は格子定数が同じことが望ましい。尚、図20(a)の様に転写した後に、141に対応した部分に SiO_2 を形成して図19に示した様な横

方向成長により膜を形成してもよい。

【0074】図21(a)、(b)は、図18に示した85の層を全面に形成する前に途中で止めて、これを種結晶とする工程について説明している。図21(a)は、図18に示した工程において層85を全面に形成せずに、途中で止め、別基板87に転写したものを示している。141は転位が多い部分である。図21(b)の146は選択マスク SiN_x をこの欠陥領域141からの成長を避ける様に形成したもので、この後、半導体膜147を選択成長して形成する。この方法でも比較的欠陥の多い部分141からの成長は抑制され、良質の膜147を基板87上に形成することが可能となる。尚、良質の膜147は基板全体にある必要はない。

【0075】以上説明した様に、欠陥の入った領域を除去または避けて、選択成長を1回以上実行することにより、基板全面に良質の膜を作製できる。

【0076】

【発明の効果】以上説明した様に、本発明による半導体薄膜構造においては、(100)面等の基準面から傾いた面に下地の半導体膜とほぼ格子整合した半導体結晶膜を横方向成長で形成するので、ミスフィット転位の発生が抑えられると共に貫通転位の発生が抑えられて、元の基板とは格子定数の異なる所望の格子定数を持つ良質の半導体結晶膜が得られる。

【図面の簡単な説明】

【図1】図1は、本発明の第1の実施例において基板上に格子定数を異ならせた膜を形成した基板構造の断面図である。

【図2】図2は、本発明の第1の実施例において横方向成長が行なわれるマスクを持つ基板の断面図(a)、そ

の基板の斜面上に所望の格子定数の半導体結晶膜の横方向成長が進行する様子を示す断面図(b)、及び基板の斜面に横方向成長が行なわれて平坦面が形成された様子を示す断面図(c)である。

【図3】図3は、本発明の第1の実施例において使用されるストライプ状の凸部を持つ基板の平面図である。

【図4】図4は、本発明の第1の実施例において横方向成長が行なわれるマスクを持つ基板の変形例を示す断面図である。

【図5】図5は、幾つかの成長法において成長速度と傾斜面の基準面からの角度との関係を示すグラフである。

【図6】図6は、本発明の第1の実施例において横方向成長が行なわれるマスクを持つ基板の加工法の1つの工程を示す断面図である。

【図7】図7は、本発明の第2の実施例において基板上に格子定数を異ならせた膜を形成した基板構造の断面図(a)、及び横方向成長が行なわれるマスクを持つ基板の断面図(b)である。

【図8】図8は、本発明の第2の実施例においてマスクを持つ基板の斜面上に所望の格子定数の半導体結晶膜の横方向成長が行なわれて平坦面が形成された様子を示す断面図である。

【図9】図9は、本発明の第3の実施例において基板上に格子定数を異ならせた膜を形成した基板構造の断面図である。

【図10】図10は、本発明の第3の実施例において横方向成長が行なわれるマスクを持つ基板の成長による形成工程を示す断面図である。

【図11】図11は、本発明の第3の実施例において基板の斜面に所望の格子定数の半導体結晶膜の横方向成長が行なわれる様子を示す断面図である。

【図12】図12は、ウェハ面内で凸状ストライプを形成する方位を回転させることを示す図である。

【図13】図13は、ウェハ面内で凸状ストライプを形成する方位を回転させることで横方向成長速度が如何に変化するかを示す図である。

【図14】図14は、本発明の第4の実施例において使用されるストライプ状の凸部を持つ基板の平面図である。

【図15】図15は、本発明の第5の実施例において基板の斜面に所望の格子定数の半導体結晶膜の横方向成長が行なわれて空洞を形成しつつ平坦面が形成された様子を示す断面図である。

【図16】図16は、本発明の第5の実施例において基板の斜面に横方向成長されて形成された所望の格子定数の平坦膜を他の基板に転写する工程を示す断面図である。

【図17】図17は、本発明の第5の実施例において他の基板に転写された平坦膜を用いて形成された半導体レーザの共振器方向の断面図である。

【図18】図18は、第1の工程、第2の工程を経て作製される任意の格子定数を持つ膜を、より欠陥の少ないものにする為の工程を含む第6の実施例の基板構造の断面図である。

【図19】図19は、第6の実施例の更に欠陥の少ない任意の格子定数を持つ膜を形成する工程を説明する断面図である。

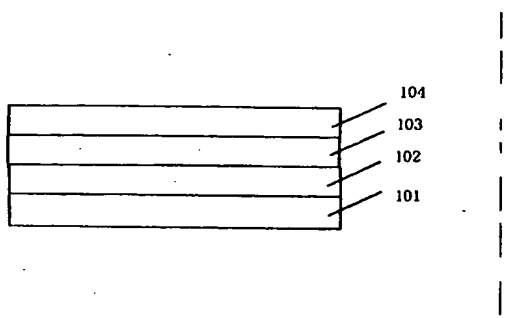
【図20】図20は、第1の工程、第2の工程を経て作製される任意の格子定数を持つ膜を、より欠陥の少ないものにする為の工程を含む他の実施例の工程を説明する断面図である。

【図21】図21は、第1の工程、第2の工程を経て作製される任意の格子定数を持つ膜を、より欠陥の少ないものにする為の工程を含む更に他の実施例の工程を説明する断面図である。

【符号の説明】

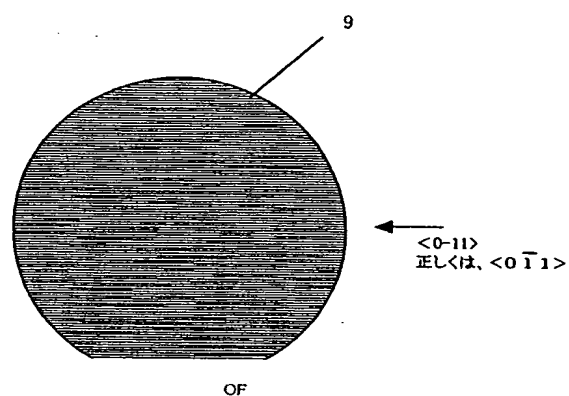
- 1、11、14、62 ストライプ状凸部
- 2、42 ストライプ状溝
- 3、19、34、41、64、131 凸部の斜面
(エッチング面、成長面)
- 4、5、12、16、17、18、43、65、133、134、145、146 マスク (選択成長膜)
- 6 横方向成長方向
- 7、45、66、83 横方向成長膜 (表面)
- 8 垂直方向矢印
- 9、77 ストライプ
- 13 溝の深さ
- 15、44 溝の底部
- 31、61、81、104 基板 (InGaAs、InGaP)
- 32、35、133、134 SiO₂

【図1】

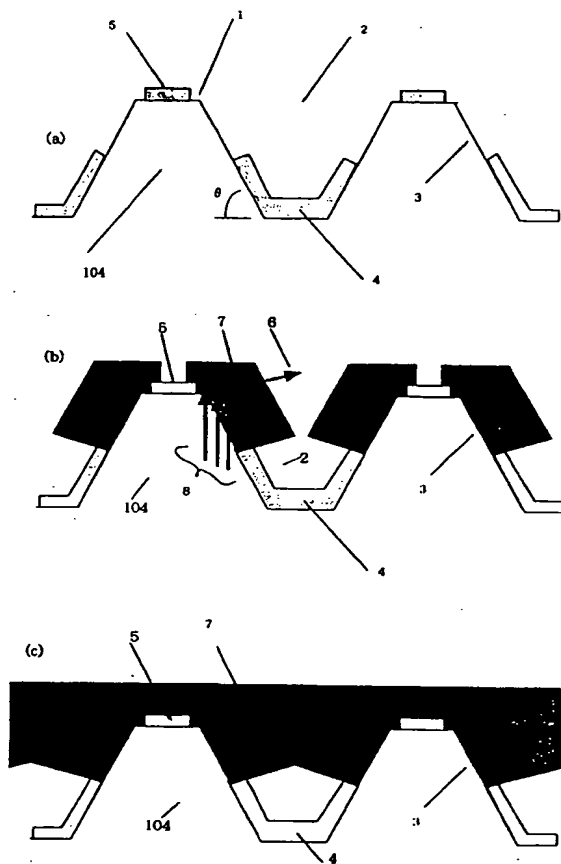


- 33 レジスト
- 63、67 成長面 (InGaP)
- 69 (100) 面
- 74、75 ピーク
- 82 空洞領域
- 83、85 InGaP
- 84 AlGaInAs
- 86 基板構造
- 88 隙間
- 87 基体
- 91 InGaPを含む基体
- 92、96 InAlAsクラッド
- 93、95 光閉じ込め層
- 94 活性領域
- 97 コンタクト層
- 98 活性層
- 99 バリア層
- 101 (100) 面を持つInP
- 102、112 組成比の変化するInGaAs
- 103、114、123 超格子層
- 111 (100) 面を持つGaAs
- 113 SeドープされたInGaAs
- 115 InGaAsP
- 121 Si基板
- 122 Si基板と格子緩和されたInGaP
- 124 InGaP
- 132、141 斜面部と垂直方向に対応する領域
- 135、144 欠陥の少ない領域
- 136、143、147 繰り返し成長された半導体膜
- 142 横方向成長

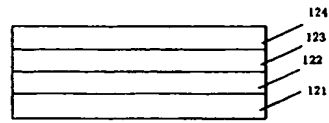
【図3】



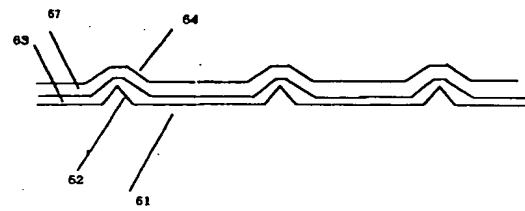
【図 2】



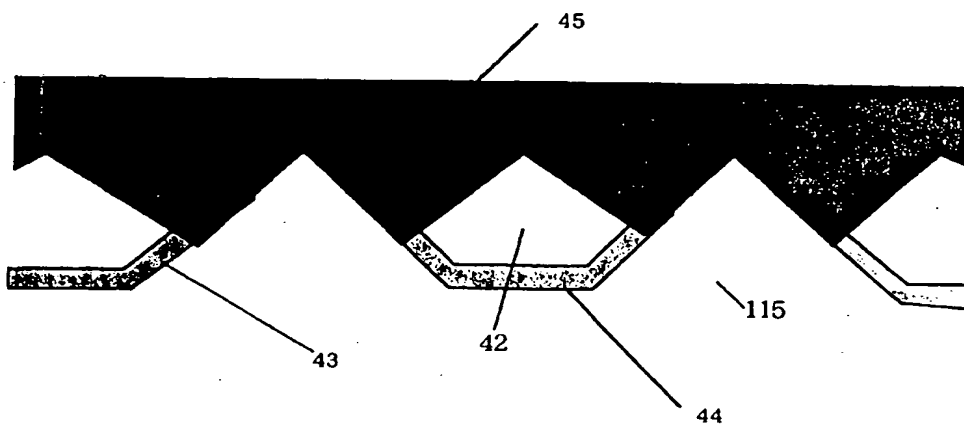
【図 9】



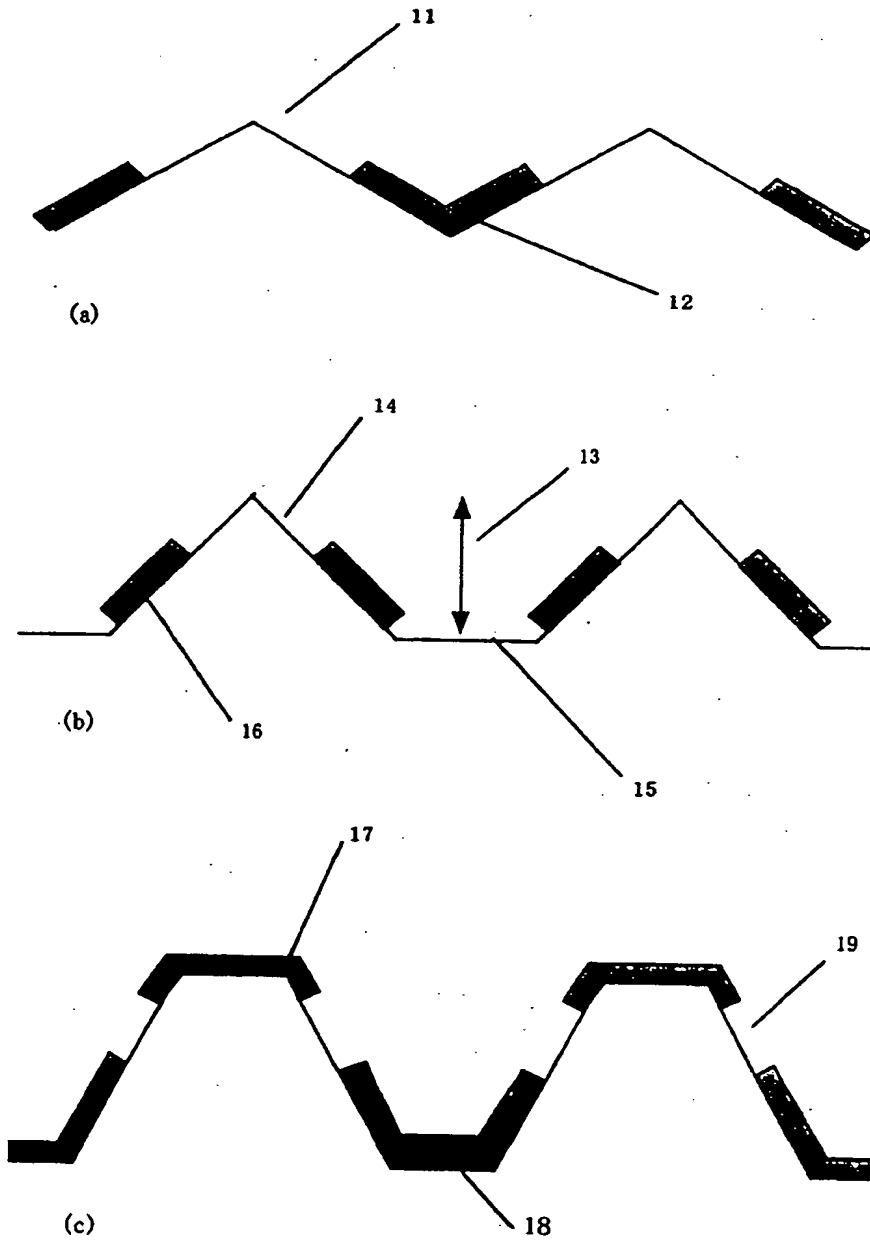
【図 10】



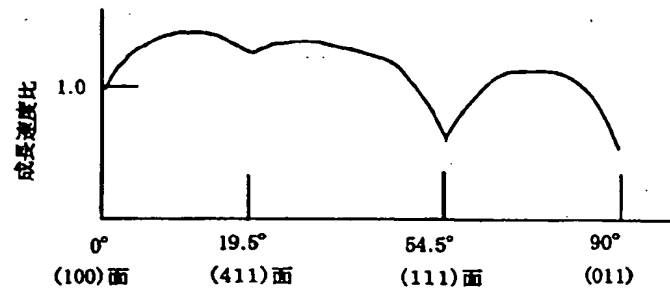
【図 8】



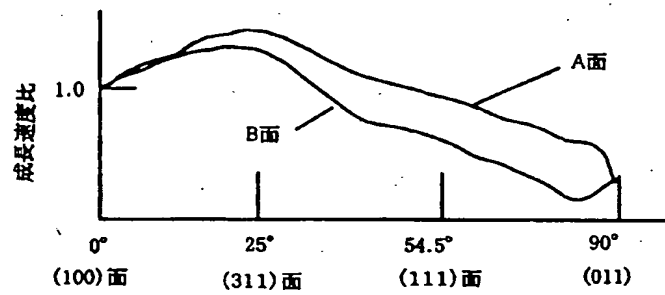
【図 4】



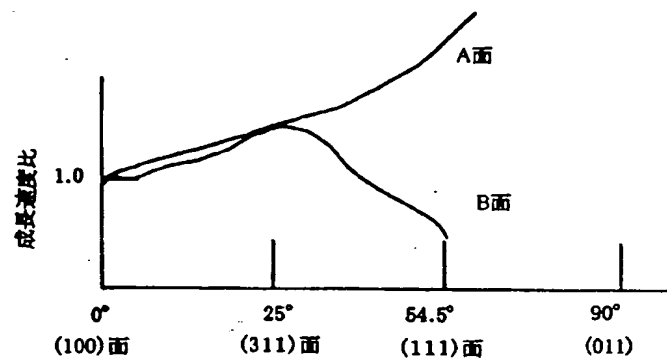
【図5】



(a)

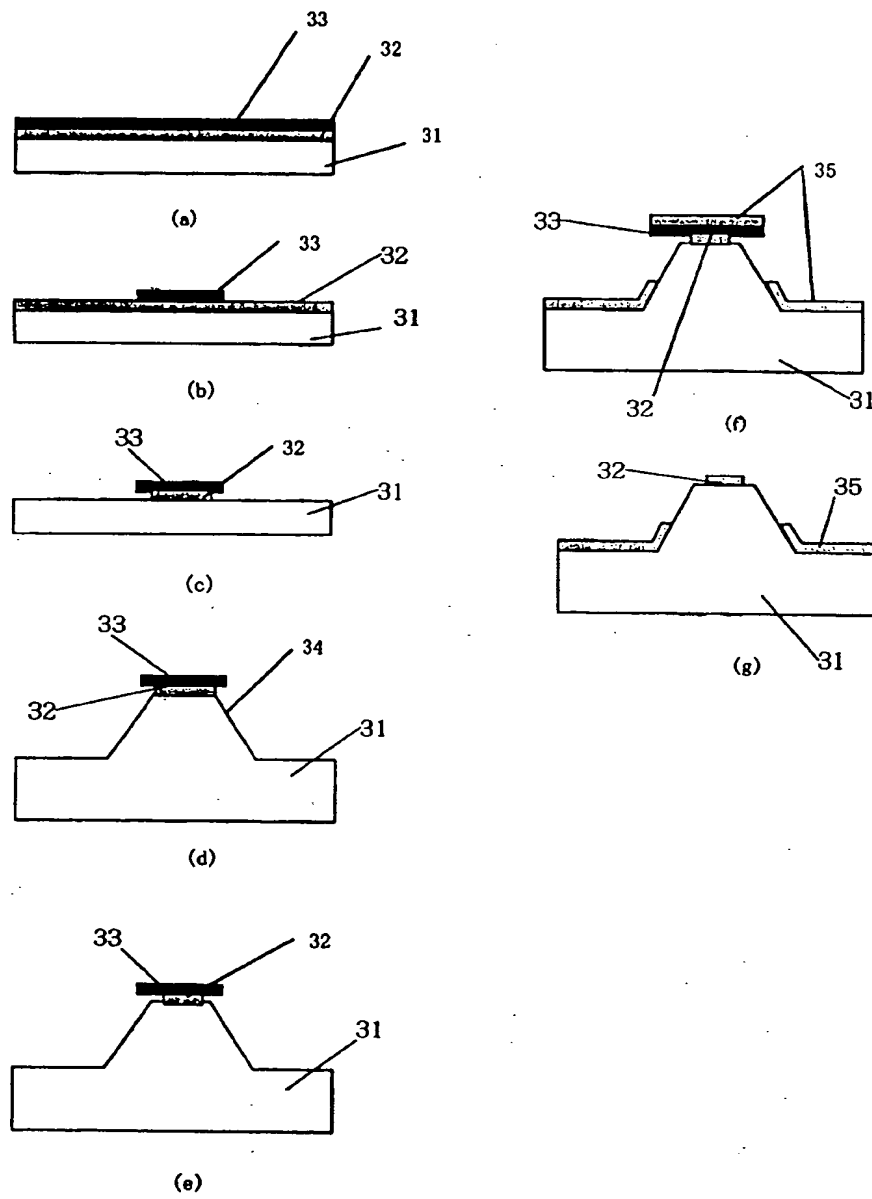


(b)

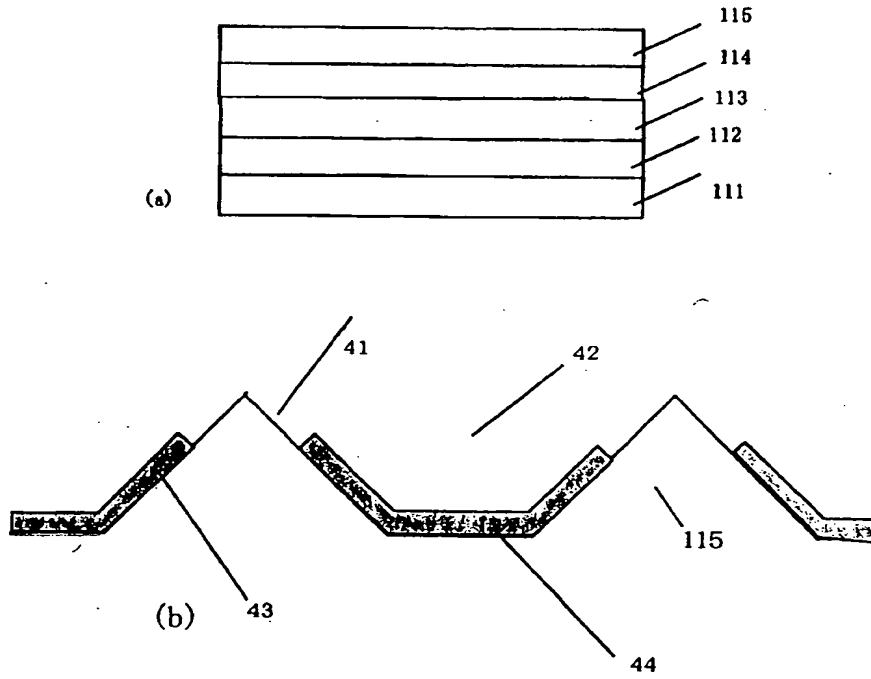


(c)

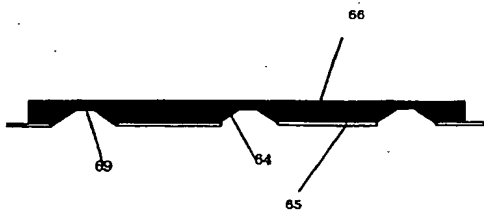
【図6】



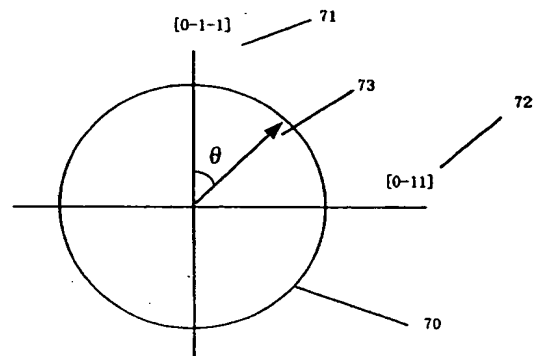
【図 7】



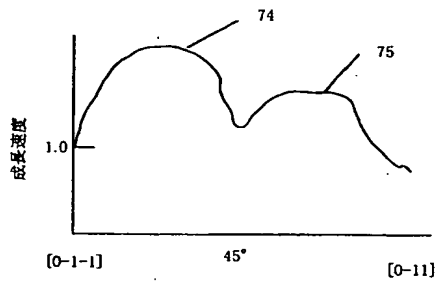
【図 11】



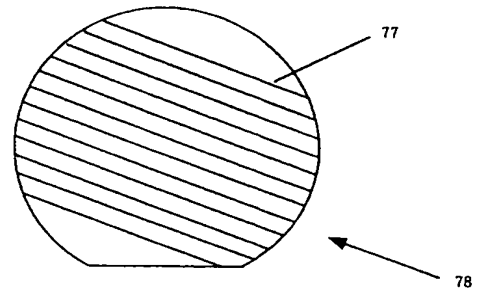
【図 12】



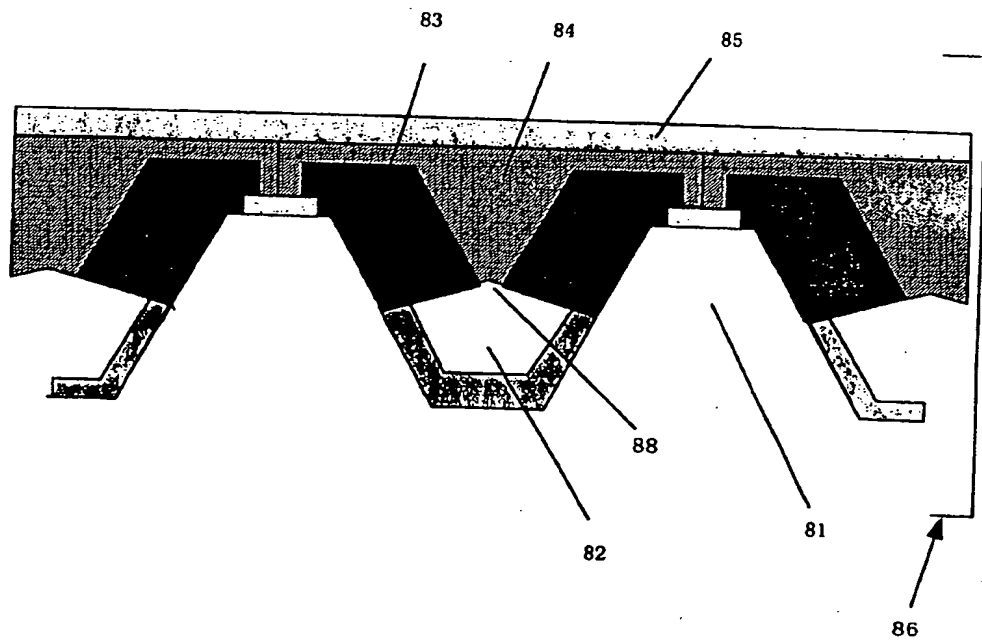
【図13】



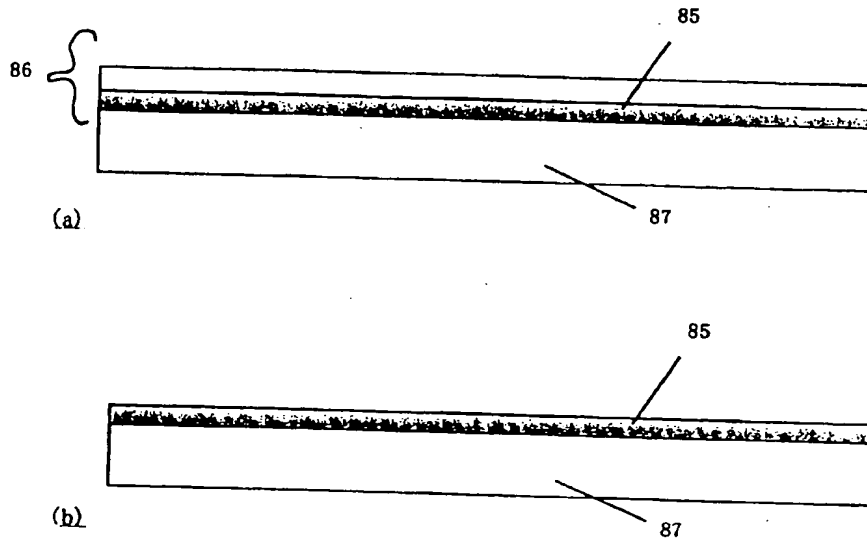
【図14】



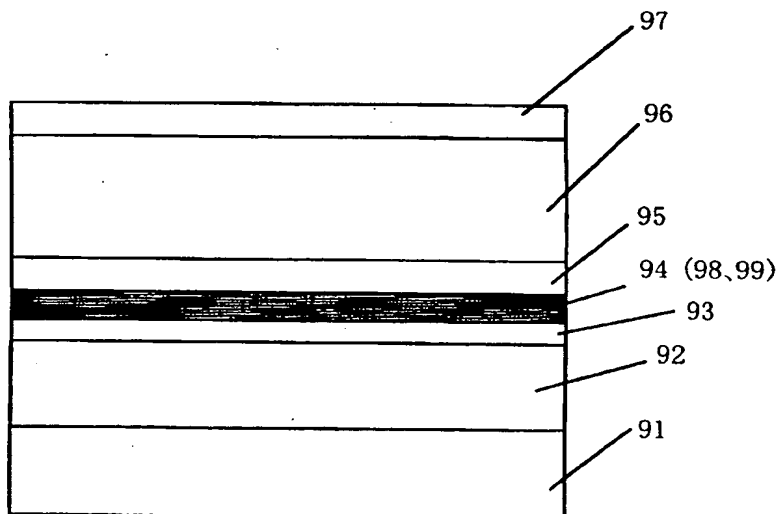
【図15】



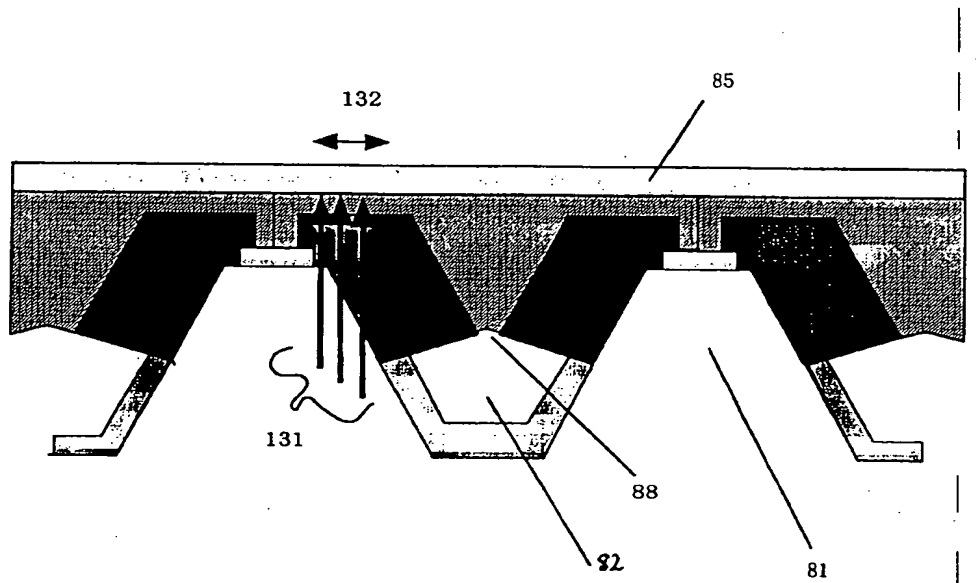
【図16】



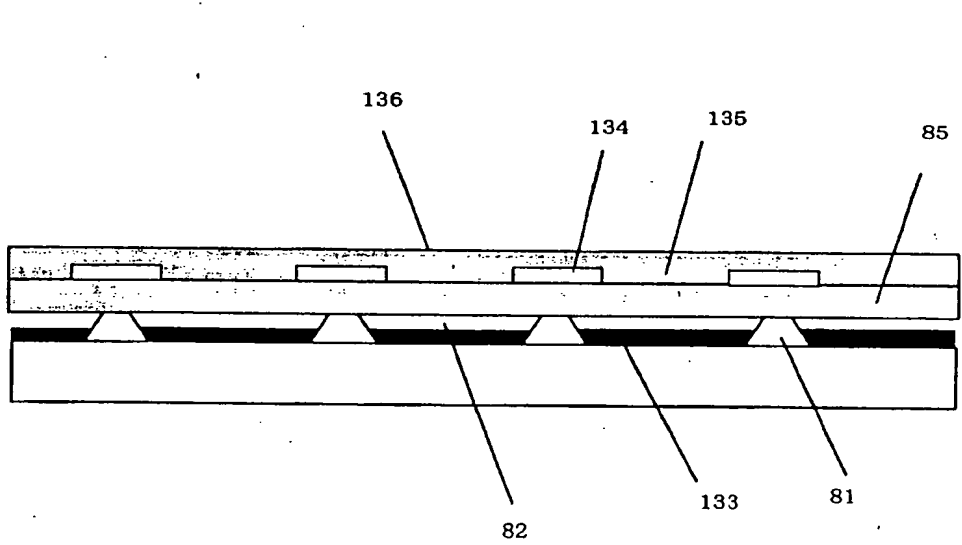
【図17】



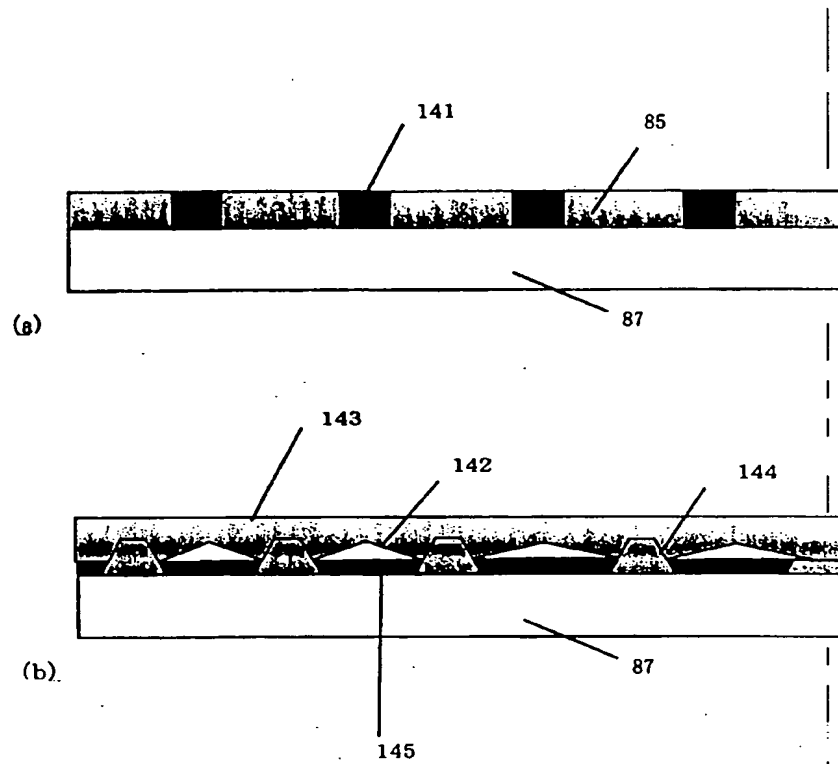
【図18】



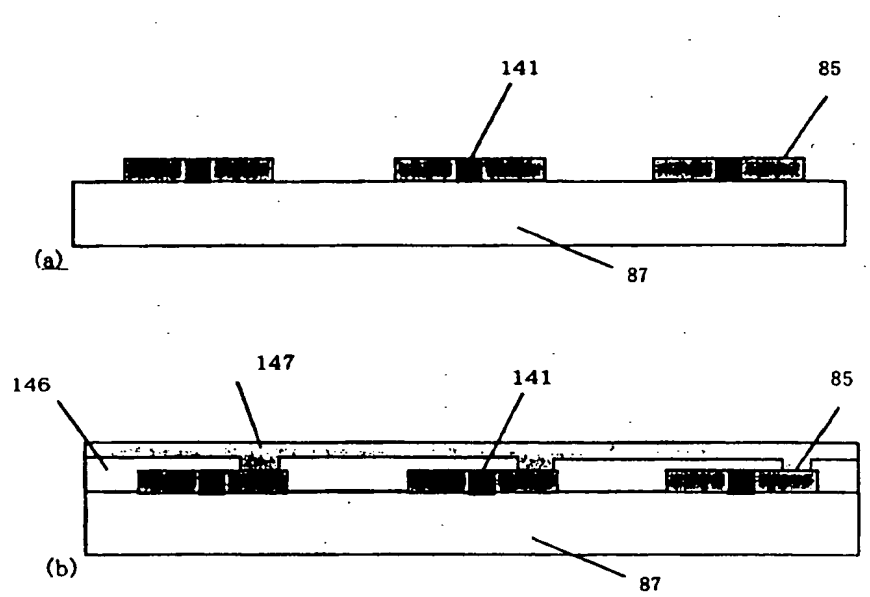
【図19】



【図20】



【図21】



フロントページの続き

Fターム(参考) 5F045 AA03 AA04 AC02 AC07 AF03
AF04 AF05 AF09 AF13 AF14
BB12 DA52 DA53 DA54 DB02
HA12
5F052 KA02
5F103 AA04 AA05 DD01 GG06 HH03
HH07 PP06 RR06